

國研院台灣半導體研究中心 電路設計、晶片製作及先進封裝服務平台

壹、晶片設計及驗證環境

為支援高效能晶片(HPC)設計研發，TSRI 提供關鍵矽智財(Silicon IP)、虛擬驗證環境以及雛形驗證環境予學界研發團隊使用。

1. 關鍵矽智財

(1). 運算處理器

- ANDES RISC-V處理器核心：包含N25F, NX25F, D25F, A27, AX27L2, AX45MP, AnDLA I350, ACE, AndesSight, AICE。
- Arm處理器核心：Neoverse系列CPU以及Arm Academic Access可取得的所有處理器核心，例如Cortex-A55等，(<https://www.arm.com/resources/research/enablement/academic-access>)

(2). 晶片內互聯電路

- Arm CORELINK CMN(Coherent Mesh Network)

(3). 晶片間互聯電路

- UCIE

(4). 高頻寬記憶體控制電路

- HBM(標準介面及國內廠商自訂介面)

2. 虛擬驗證環境

TSRI將基於Synopsys Platform Architect/Virtualizer，建立虛擬驗證環境。在虛擬驗證環境所需的關鍵矽智產的模型，例如Neoverse系列CPU以及Arm CORELINK CMN，TSRI亦規劃同步引進。

3. 雛形驗證環境

TSRI持續提供Synopsys HAPS FPGA雛形驗證環境使用服務。在完整HPC驗證方面，由於完整電路極為龐大複雜，TSRI規劃以Emulator來進行，例如使用Synopsys Zebu進行emulation。

備註：底線標示為確認中。

貳、 前瞻製程服務及設計平台

TSRI 建置台積電(TSMC) 7 nm、16 nm FinFET 製程設計平台，提供包含數位/類比/RF/混合訊號等電路設計環境與設計套件，並配合本中心晶片實作服務提供 TSMC 7 nm、16 nm FinFET 製程及 TSMC 28 nm HPC+ 製程晶片實作服務，亦可配合研究團隊之需求提供獨立梯次 16 nm/28 nm之shuttle 給予研究團隊進行晶片製作。在 28 nm 製程 shuttle 可額外提供 Flip Chip 選項之自費晶片下線與DRC驗證技術諮詢。特殊製程方面，除了提供TSMC 0.5 μm 12V/650V GaN製程可設計高功率變壓器、充電器和逆變器IC晶片模組外，規劃引進0.18 μm image/optical sensor technology 製程及90/40 nm BCD (Bipolar-CMOS-DMOS)製程。參考 112 年 TSMC shuttle 時程與 TSRI 年度常規梯次，將可依照經費與團隊需求規劃晶片實作服務，如下表所示。

製程常規梯次列表

| 製程種類 | 年度常規梯次 |
|---|--------|
| TSMC 7 nm (N7) | 1 |
| TSMC 16 nm FFC | 2 |
| TSMC 28 nm HPC+ | 3 |
| 0.18 μm image/optical sensor technology* | 2 |
| TSMC 90/40 nm BCD** | 1 |
| TSMC 0.5 μm 12V/650V GaN | 2 |
| *提供之Foundry與實作服務梯次數待確定 | |
| **洽談爭取中 | |

規劃進行 7nm電磁模擬基板參數設定，提供學術界7 nm/16 nm電磁模擬基板參數協助開發太赫茲(subTHz)電路，並同時提供下線驗證服務與技術諮詢，加速設計定案(Tape-out)時程。

參、異質整合晶片及封裝平台

TSRI將建立8吋異質整合晶片技術平台以協助國內學研團隊進行2.5D/3D晶片系統整合開發，除優化原有的2.5D矽穿孔(Through Silicon Via, TSV)中介層技術外，將更進一步透過穩定製程，提升0.18 μm CMOS及8吋晶圓背面矽穿孔(backside TSV)技術的良率，來達成CMOS interposer之關鍵技術開發。同時，亦藉由TSV孔徑之微縮化及結合高密度晶片級(die level) microbump及CoCoP(chip on chip on PCB)晶粒堆疊技術的來協助學研團隊加速2.5D/3D異質晶片整合開發及驗證。TSRI可提供學術界 2.5D/3D 異質整合晶片技術及諮詢服務包含：

1. 晶片與IPD、2.5D 中介層(interposer)和電路板整合設計諮詢提供學術團隊IPD/中介層與電路板(PCB)打線(wire bond)/覆晶對接及晶片與IPD/中介層打線/覆晶對接製作技術諮詢。
2. 8吋CMOS backside TSV技術：為了提供感測、AI、電源管理等不同晶片在中介層需要多層金屬線的繞接及模擬，開發8吋0.18 μm CMOS backside TSV技術，在0.18 μm CMOS中除了有六層金屬層可供繞線外，也有主動元件和被動元件：MiM電容及電感來讓使用者可以有更多樣性的整合，而且這些主被動元件和金屬線皆有PDK，可以讓設計者在整合前進行模擬及設計調整。CMOS backside TSV技術不只可以當作中介層使用，亦可提供生醫及影像晶片的電訊號透過TSV和中介層連結，並和在晶片上方的感測訊號分離以避免互相干擾。初期TSV孔徑為40 μm ，為因應高效能晶片之整合，會先進行TSV孔徑微縮化到20 μm ，最終達到10 μm 。
3. TSRI自主晶片級microbump技術：考量前瞻製程晶圓成本及AI、MCU高接腳數及高速需求，開發晶片級microbump及覆晶對接技術，自主開發可管控制程變異及標準流程進而達到穩定的植球品質及整合良率，初期以50 μm pitch為目標，再開發更微縮45 μm pitch之技術，並將針對使用者設計需求提供2.5D/3D異質整合晶片技術諮詢及整合服務。
4. 晶片級/晶圓級覆晶(flip chip)封裝：提供晶圓對晶圓、晶片對晶圓

及晶片對晶片覆晶封裝技術服務。

5. 晶片級2.5D封裝(chip on chip on PCB)：結合2.5D 矽穿孔中介層製作及自主開發microbump技術，提供團隊以chip on chip on PCB(CoCoP)之垂直堆疊方式進行晶片級2.5D整合封裝，並針對使用者提供中介層及CoCoP技術諮詢及整合服務。
6. 先進異質封裝驗證EDA環境：將萃取TSRI自主晶片級microbump及0.18 μm CMOS backside TSV的DC/RF特性，結合0.18 μm CMOS 中介層中的金屬及Via特性提供學術界先進異質封裝驗證EDA環境，讓使用者在進行異質整合封裝前即可進行模擬，來確認整合後的特性是否符合規格。